

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-076147

(43)Date of publication of application : 15.03.2002

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 2000-260671

(71)Applicant : NEC YAMAGUCHI LTD

(22)Date of filing : 30.08.2000

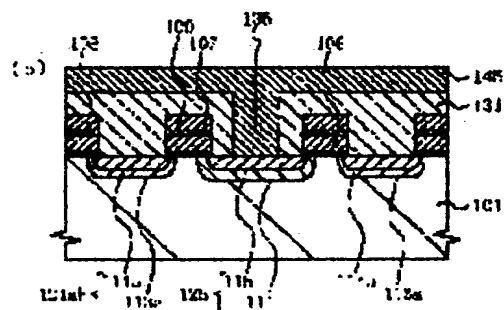
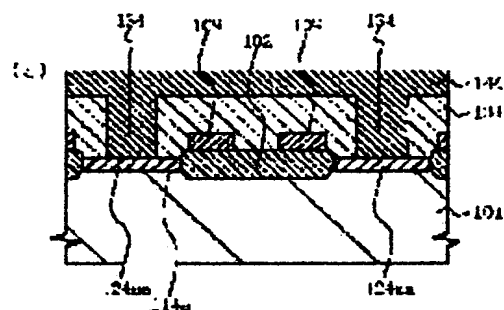
(72)Inventor : DOWAKI YASUSHI

(54) FLASH MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To facilitate the suppression of the deterioration of the holding characteristic or the like of a memory transistor in avalanche break-down due to the excess voltage of deletion voltage during deletion in a source deletion type flash memory device by NOR type.

SOLUTION: A flash memory device is composed of a source contact area 124aa directly connecting a source area to source wiring 144 and a source transistor area 124ab constituting a memory transistor. The source contact area 124aa is composed of only an N+ type diffusion layer 114a, and the source transistor area 124ab is composed of an N- type diffusion layer 113a and the N+ diffusion layer 114a.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-76147

(P2002-76147A)

(43)公開日 平成14年3月15日(2002.3.15)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)	
H 0 1 L	21/8247	H 0 1 L 29/78	3 7 1	5 F 0 0 1
	29/788	27/10	4 3 4	5 F 0 8 3
	29/792			
	27/115			

審査請求 未請求 請求項の数15 O L (全 18 頁)

(21)出願番号 特願2000-260671(P2000-260671)

(22)出願日 平成12年8月30日(2000.8.30)

(71)出願人 000178332

山口日本電気株式会社

山口県厚狭郡楠町大字東万倉字神元192番
地-3

(72)発明者 堂脇 靖司

山口県厚狭郡楠町大字東万倉字神元192番
地3 山口日本電気株式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外2名)

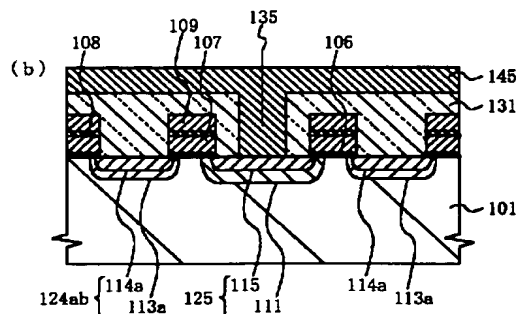
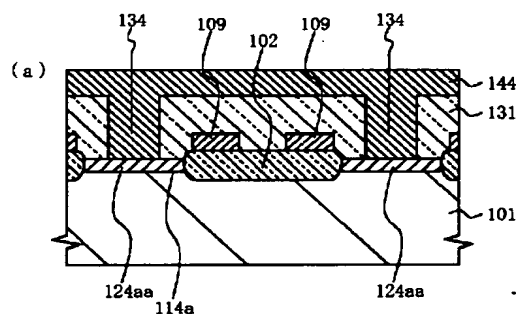
最終頁に続く

(54)【発明の名称】 フラッシュメモリ装置

(57)【要約】

【課題】NOR型でソース消去型のフラッシュメモリ装置における消去時の消去電圧の過電圧によるアバランシェ・ブレイクダウンに際して、メモリトランジスタの保持特性等の劣化の抑制を容易にする。

【解決手段】ソース領域がソース配線144に直接接続されるソース・コンタクト領域124aaとメモリトランジスタを構成するソース・トランジスタ領域124abとから構成され、ソース・コンタクト領域124aaはN⁺型拡散層114aのみから構成され、ソース・トランジスタ領域124abはN⁻型拡散層113aとN⁺型拡散層114aとから構成されている。



1

【特許請求の範囲】

【請求項1】 P型シリコン基板の表面に設けられたソース消去型でNOR型のフラッシュメモリ装置であつて、

ソース領域が、ソース・コンタクト孔を介してソース配線に直接に接続されるソース・コンタクト領域と、同一の制御ゲート電極に属して隣接する複数のメモリトランジスタに共有されるソース・トランジスタ領域とからなり、

前記ソース・コンタクト領域の接合耐圧が、前記ソース・トランジスタ領域の接合耐圧より低いことを特徴とするフラッシュメモリ装置。

【請求項2】 前記ソース・コンタクト領域が、前記P型シリコン基板の表面に設けられたN⁺型拡散層からなり、

前記ソース・トランジスタ領域が、前記P型シリコン基板の表面に設けられたN⁻型拡散層と、該N⁻型拡散層の表面に設けられた前記N⁺型拡散層とからなる請求項1記載のフラッシュメモリ装置。

【請求項3】 前記メモリトランジスタのドレイン領域が、前記P型シリコン基板の表面に前記制御ゲート電極に自己整合的に設けられたポケット・ボロン領域と、該ポケット・ボロン領域の表面に該制御ゲート電極に自己整合的に設けられた第2のN⁺型拡散層とからなる請求項2記載のフラッシュメモリ装置。

【請求項4】 前記ソース・トランジスタ領域が、前記P型シリコン基板の表面に設けられたN⁺型拡散層からなり、

前記ソース・コンタクト領域が、前記P型シリコン基板の不純物濃度より高い濃度を有して該P型シリコン基板の表面に設けられたコンタクト・ボロン拡散層と、該コンタクト・ボロン拡散層の表面に設けられた前記N⁺型拡散層とからなる請求項1記載のフラッシュメモリ装置。

【請求項5】 前記メモリトランジスタのドレイン領域が、前記P型シリコン基板の表面に前記制御ゲート電極に自己整合的に設けられたポケット・ボロン領域と、該ポケット・ボロン領域の表面に該制御ゲート電極に自己整合的に設けられた第2のN⁺型拡散層とからなる請求項4記載のフラッシュメモリ装置。

【請求項6】 前記ソース・コンタクト領域が、前記P型シリコン基板の不純物濃度より高い濃度を有して該P型シリコン基板の表面に設けられたコンタクト・ボロン拡散層と、該コンタクト・ボロン拡散層の表面に設けられたN⁺型拡散層とからなり、

前記ソース・トランジスタ領域が、前記P型シリコン基板の表面に設けられた前記N⁺型拡散層からなる請求項1記載のフラッシュメモリ装置。

【請求項7】 前記メモリトランジスタのドレイン領域が、前記P型シリコン基板の表面に前記制御ゲート電極

2

に自己整合的に設けられたポケット・ボロン領域と、該ポケット・ボロン領域の表面に該制御ゲート電極に自己整合的に設けられた第2のN⁺型拡散層とからなる請求項6記載のフラッシュメモリ装置。

【請求項8】 前記ソース・コンタクト領域が、前記P型シリコン基板の表面に設けられたN⁺型拡散層からなり、

前記P型シリコン基板の不純物濃度より高い濃度を有したP型拡散層が、前記ソース配線の直下において、該ソース配線に平行に、前記P型シリコン基板中に設けられ、

前記P型拡散層の直上の所要個所の前記P型シリコン基板の表面には、基板コンタクト孔を介して基板配線に直接に接続されるP⁺型拡散層が設けられ、さらに、該P⁺型拡散層は該P型拡散層に直接に接触し、

前記ソース・コンタクト領域において、前記P型拡散層が前記N⁺型拡散層の底面に直接に接触していることを併せて特徴とする請求項1記載のフラッシュメモリ装置。

【請求項9】 前記ソース・トランジスタ領域が、前記P型シリコン基板の表面に設けられた前記N⁺型拡散層から構成された請求項8記載のフラッシュメモリ。

【請求項10】 前記ソース・トランジスタ領域が、前記P型シリコン基板の表面に設けられたN⁻型拡散層と、該N⁻型拡散層の表面に設けられた前記N⁺型拡散層からなる請求項8記載のフラッシュメモリ装置。

【請求項11】 前記メモリトランジスタのドレイン領域が、前記P型シリコン基板の表面に前記制御ゲート電極に自己整合的に設けられたポケット・ボロン領域と、該ポケット・ボロン領域の表面に該制御ゲート電極に自己整合的に設けられた第2のN⁺型拡散層とからなる請求項8、請求項9もしくは請求項10記載のフラッシュメモリ装置。

【請求項12】 前記ソース・コンタクト領域が、前記P型シリコン基板の表面に設けられたN⁺型拡散層からなり、

前記ソース配線の直下において、該ソース配線に平行に、第1のP⁺型拡散層が前記P型シリコン基板中に設けられ、

前記第1のP⁺型拡散層の直上の所要個所の前記P型シリコン基板の表面には、基板コンタクト孔を介して基板配線に直接に接続される第2のP⁺型拡散層が設けられ、

少なくとも前記ソース・コンタクト領域並びに前記所要個所において、前記P型シリコン基板の不純物濃度より高い濃度を有したP型拡散層が設けられ、

前記ソース・コンタクト領域では、前記P型拡散層が前記N⁺型拡散層の底面に直接に接触し、さらに、前記第1のP⁺型拡散層の上面に直接に接触し、

前記所要個所では、前記P型拡散層が前記第2のP⁺型

3

拡散層の底面に直接に接触し、さらに、前記第1のP+型拡散層の上面に直接に接触していることを併せて特徴とする請求項1記載のフラッシュメモリ装置。

【請求項13】 前記ソース・トランジスタ領域が、前記P型シリコン基板の表面に設けられた前記N+型拡散層から構成された請求項12記載のフラッシュメモリ。

【請求項14】 前記ソース・トランジスタ領域が、前記P型シリコン基板の表面に設けられたN-型拡散層と、該N-型拡散層の表面に設けられた前記N+型拡散層からなる請求項12記載のフラッシュメモリ装置。

【請求項15】 前記メモリトランジスタのドレイン領域が、前記P型シリコン基板の表面に前記制御ゲート電極に自己整合的に設けられたポケット・ボロン領域と、該ポケット・ボロン領域の表面に該制御ゲート電極に自己整合的に設けられた第2のN+型拡散層とからなる請求項12、請求項13もしくは請求項14記載のフラッシュメモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はフラッシュメモリ装置に関し、特にソース消去型でNOR型のフラッシュメモリ装置に関する。

【0002】

【従来の技術】NOR型のフラッシュメモリ装置のメモリセルでは、同一の制御ゲート電極（ワード線）に属するメモリセルはP型シリコン基板の表面に設けられた同一のソース領域を共有し、2つのソース領域の間には2本の制御ゲート電極が設けられている。これらの2本の制御ゲート電極と素子分離領域となるフィールド絶縁膜とに囲まれてP型シリコン基板の表面に設けられたそれぞれのドレイン領域は、同一のビット線に属し、かつ、これらの2本の制御ゲート電極にそれぞれ属して隣接する2つのメモリセルにそれぞれ共有されている。さらに、ソース領域は、ソース配線に直接に接続されるソース・コンタクト領域と、これらのソース・コンタクト領域により分断されてなるソース・トランジスタ領域とからなる。

【0003】従来のフラッシュメモリ装置では、ソース・コンタクト領域とソース・トランジスタ領域との構造は同一である。従来のソース領域は、通常、制御ゲート電極並びにフィールド絶縁膜に自己整合的にP型シリコン基板の表面に設けられたN+型拡散層のみから構成されるか、あるいは、制御ゲート電極並びにフィールド絶縁膜に自己整合的にP型シリコン基板の表面に設けられたN-型拡散層とこのN-型拡散層の表面に設けられたN+型拡散層とから構成されている。一方、従来のドレイン領域は、制御ゲート電極並びにフィールド絶縁膜に自己整合的にP型シリコン基板の表面に設けられたN+型拡散層のみから構成されるか、あるいは、制御ゲート電極並びにフィールド絶縁膜に自己整合的にP型シリコ

4

ン基板の表面に設けられたポケット・ボロン拡散層とこのポケット・ボロン拡散層の表面に設けられたN+型拡散層とから構成されている。ドレイン領域がこのようなポケットボロン拡散層とN+型拡散層とから構成されるならば、書き込み速度が高くなる。

【0004】さらに最近のフラッシュメモリ装置では、例えば特開平7-094613号公報に開示されているように、ソース領域並びにドレイン領域が、それぞれ制御ゲート電極並びにフィールド絶縁膜に自己整合的にP型シリコン基板の表面に設けられたポケット・ボロン拡散層と、これらのポケット・ボロン拡散層の表面にそれぞれに設けられたN+型拡散層とから構成されている。このフラッシュメモリ装置では、書き込み速度とともに、ソース消去型での消去速度も向上する。

【0005】フラッシュメモリ装置における書き込みは、例えば（ドレイン領域の印加電圧） $V_D = 7V$ 、

（制御ゲート電極の印加電圧） $V_G = 12V$ 、（ソース領域の印加電圧） $V_S =$ （P型シリコン基板の印加電圧） $V_{SUB} = 0V$ にして、 $V_G - V_D > 0$ の状態でもメモリトランジスタをオンさせて、ドレイン領域端のピッチオフからのホットエレクトロンを浮遊ゲート電極に注入することにより、行なわれる。これに対して、ソース消去型のフラッシュメモリ装置では、例えば $V_G = V_{SUB} = 0V$ 、 $V_D =$ オープンにし、例えば $V_S = 11.5V$ にして行なわれる。すなわち、 $V_G - V_S < 0$ にして、書き込み時に浮遊ゲート電極に蓄積された負電荷をソース領域側に引き抜くことによって、消去を行なっている。

【0006】

【発明が解決しようとする課題】ソース領域の接合耐圧（ BV_J ）は、P型シリコン基板の不純物濃度とソース領域の構造並びに不純物プロファイル等とにより多少の大小はあるものの、 $10.5V \sim 12.5V$ 程度である。ソース消去型の場合、消去時の V_S は $V_S < BV_J$ の条件のもとに、（消去速度の低下させないように）なるべく大きな値（例えば $BV_J - V_S = 0.5V$ ）に設定される。

【0007】しかしながら、 V_S をこのように設定したとき、電源電圧の変動により、 $V_S - BV_J \geq 0V$ となることがある。このとき、ソース領域ではアバランシェ・ブレイクダウンが発生することになる。このアバランシェ・ブレイクダウンにより発生したホット・キャリア（特にホット・ホール）が、ある特定のメモリトランジスタを構成するトンネル・ゲート絶縁膜さらには浮遊ゲート電極に注入されるならば、そのメモリトランジスタのデータ保持特性や繰り返し特性を劣化させることになる。

【0008】したがって本発明の目的は、電源電圧変動によりソース領域に印加する消去電圧 V_S が過電圧になり、アバランシェ・ブレイクダウンが発生しても、メモ

5

リトランジスタのデータ保持特性や繰り返し特性の劣化の抑制が容易な構造のソース消去型のフラッシュメモリ装置を提供することにある。

【0009】

【課題を解決するための手段】本発明のフラッシュメモリ装置の特徴は、P型シリコン基板の表面に設けられたソース消去型でNOR型のフラッシュメモリ装置であって、ソース領域がソース・コンタクト孔を介してソース配線に直接に接続されるソース・コンタクト領域と同一の制御ゲート電極に属して隣接する複数のメモリトランジスタに共有されるソース・トランジスタ領域とからなり、上記ソース・コンタクト領域の接合耐圧が上記ソース・トランジスタ領域の接合耐圧より低い点にある。

【0010】本発明のフラッシュメモリの好ましい第1の態様は、上記ソース・コンタクト領域が上記P型シリコン基板の表面に設けられたN⁺型拡散層からなり、上記ソース・トランジスタ領域が上記P型シリコン基板の表面に設けられたN⁻型拡散層とこれらのN⁻型拡散層の表面に設けられた上記N⁺型拡散層とからなる。好ましくは、上記メモリトランジスタのドレイン領域が上記P型シリコン基板の表面上記制御ゲート電極に自己整合的に設けられたポケット・ボロン領域とこれらのポケット・ボロン領域の表面にこれらの制御ゲート電極に自己整合的に設けられた第2のN⁺型拡散層とからなる。

【0011】本発明のフラッシュメモリの好ましい第2の態様は、上記ソース・トランジスタ領域が上記P型シリコン基板の表面に設けられたN⁺型拡散層からなり、上記ソース・コンタクト領域が上記P型シリコン基板の不純物濃度より高い濃度を有してこれらのP型シリコン基板の表面に設けられたコンタクト・ボロン拡散層とこれらのコンタクト・ボロン拡散層の表面に設けられた上記N⁺型拡散層とからなる。好ましくは、上記メモリトランジスタのドレイン領域が上記P型シリコン基板の表面上記制御ゲート電極に自己整合的に設けられたポケット・ボロン領域とこれらのポケット・ボロン領域の表面にこれらの制御ゲート電極に自己整合的に設けられた第2のN⁺型拡散層とからなる。

【0012】本発明のフラッシュメモリの好ましい第3の態様は、上記ソース・コンタクト領域が上記P型シリコン基板の不純物濃度より高い濃度を有してこのP型シリコン基板の表面に設けられたコンタクト・ボロン拡散層とこれらのコンタクト・ボロン拡散層の表面に設けられたN⁺型拡散層とからなり、上記ソース・トランジスタ領域が上記P型シリコン基板の表面に設けられた上記N⁺型拡散層からなる。好ましくは、上記メモリトランジスタのドレイン領域が上記P型シリコン基板の表面上記制御ゲート電極に自己整合的に設けられたポケット・ボロン領域とこれらのポケット・ボロン領域の表面にこれらの制御ゲート電極に自己整合的に設けられた第2のN⁺型拡散層とからなる。

6

【0013】本発明のフラッシュメモリの好ましい第4の態様は、上記ソース・コンタクト領域が上記P型シリコン基板の表面に設けられたN⁺型拡散層からなり、上記P型シリコン基板の不純物濃度より高い濃度を有したP型拡散層が上記ソース配線の直下においてこれらのソース配線に平行に上記P型シリコン基板中に設けられ、上記P型拡散層の直上の所要個所の上記P型シリコン基板の表面には基板コンタクト孔を介して基板配線に直接に接続されるP⁺型拡散層が設けられさらにこれらのP⁺型拡散層はこれらのP型拡散層に直接に接触し、上記ソース・コンタクト領域において上記P型拡散層が上記N⁺型拡散層の底面に直接に接触していることを併せて特徴とする。好ましくは、上記ソース・トランジスタ領域が上記P型シリコン基板の表面に設けられた上記N⁺型拡散層から構成される。あるいは、上記ソース・トランジスタ領域が上記P型シリコン基板の表面に設けられたN⁻型拡散層とこれらのN⁻型拡散層の表面に設けられた上記N⁺型拡散層からなる。さらに好ましくは、上記メモリトランジスタのドレイン領域が上記P型シリコン基板の表面上記制御ゲート電極に自己整合的に設けられたポケット・ボロン領域とこれらのポケット・ボロン領域の表面にこれらの制御ゲート電極に自己整合的に設けられた第2のN⁺型拡散層とからなる。

【0014】本発明のフラッシュメモリの好ましい第5の態様は、上記ソース・コンタクト領域が上記P型シリコン基板の表面に設けられたN⁺型拡散層からなり、上記ソース配線の直下においてこれらのソース配線に平行に第1のP⁺型拡散層が上記P型シリコン基板中に設けられ、上記第1のP⁺型拡散層の直上の所要個所の上記P型シリコン基板の表面には基板コンタクト孔を介して基板配線に直接に接続される第2のP⁺型拡散層が設けられ、少なくとも上記ソース・コンタクト領域並びに上記所要個所において上記P型シリコン基板の不純物濃度より高い濃度を有したP型拡散層が設けられ、上記ソース・コンタクト領域では上記P型拡散層が上記N⁺型拡散層の底面に直接に接触し、さらに、上記第1のP⁺型拡散層の上面に直接に接触し、上記所要個所では上記P型拡散層が上記第2のP⁺型拡散層の底面に直接に接触し、さらに、上記第1のP⁺型拡散層の上面に直接に接触していることを併せて特徴とする。好ましくは、上記ソース・トランジスタ領域が上記P型シリコン基板の表面に設けられた上記N⁺型拡散層から構成される。あるいは、上記ソース・トランジスタ領域が上記P型シリコン基板の表面に設けられたN⁻型拡散層とこれらのN⁻型拡散層の表面に設けられた上記N⁺型拡散層からなる。さらに好ましくは、上記メモリトランジスタのドレイン領域が上記P型シリコン基板の表面上記制御ゲート電極に自己整合的に設けられたポケット・ボロン領域とこれらのポケット・ボロン領域の表面にこれらの制御ゲート電極に自己整合的に設けられた第2のN⁺型拡散

層とからなる。

【0015】

【発明の実施の形態】次に、本発明について図面を参照して説明する。

【0016】NOR型のフラッシュメモリ装置の主要部の平面模式図である図1と、図1のAA線およびBB線での断面模式図である図2(a)および図2(b)とを参照すると、本発明の第1の実施の形態の第1の実施例によるソース消去型のフラッシュメモリ装置の構成は、以下のとおりになっている。なお、図1では、理解を容易にするために、「ソース・コンタクト領域」に斜め左下りのハッチングを施している。

【0017】不純物濃度が例えば $2 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ のP型シリコン基板101の表面の素子形成領域には、メモリセルを構成する複数のメモリトランジスタが規則的に配置されている。メモリトランジスタ間の素子分離は、P型シリコン基板101の表面（の素子分離領域）に設けられたフィールド絶縁膜102によってなされている。メモリトランジスタは、P型シリコン基板101、ソース領域124a、ドレイン領域125、トンネル・ゲート絶縁膜106、浮遊ゲート電極107、ゲート絶縁膜108および制御ゲート電極109から構成されている。

【0018】浮遊ゲート電極107は、トンネル・ゲート絶縁膜106を介して、P型シリコン基板101の表面の素子形成領域に設けられている。トンネル・ゲート絶縁膜106は例えば9nm程度の膜厚の熱酸化膜からなる。浮遊ゲート電極107はN⁺型の多結晶シリコン膜からなり、浮遊ゲート電極107の両端はそれぞれフィールド絶縁膜102の表面上に延在している。ワード線を兼った制御ゲート電極109は、少なくとも素子形成領域上ではゲート絶縁膜108を介して浮遊ゲート電極107の表面に設けられ、素子分離領域上では概ねフィールド絶縁膜102の表面上に設けられている。制御ゲート電極109は、概ね平行に配置され、例えば高融点金属ポリサイド膜からなる。ゲート絶縁膜108は、例えば酸化シリコン膜、窒化シリコン膜および酸化シリコン膜から構成された積層膜（ONO膜）からなる。素子形成領域上では、トンネル・ゲート絶縁膜106、浮遊ゲート電極107、ゲート絶縁膜108および制御ゲート電極109が自己整合的に形成されている。メモリトランジスタのゲート長（チャンネル長ではない）は、例えば0.40μm程度である。

【0019】それぞれ1つのソース領域124aは隣接した一対の制御ゲート電極109（一対のワード線）に属するメモリトランジスタが共有し、それぞれ1つのドレイン領域125は隣接した2つのメモリトランジスタが共有している。ソース領域124aは概ね帯状の姿態を有して制御ゲート電極109に平行に設けられている。ドレイン領域125は矩形状の姿態を有して配置さ

れている。

【0020】本第1の実施例のソース領域124aは、ソース・コンタクト領域124aaと、ソース・トランジスタ領域124abとから構成されている。ソース・コンタクト領域124aaおよびソース・トランジスタ領域124abは隣接し、それぞれのソース・トランジスタ領域124abはソース・コンタクト領域124aaにより分断されている。

【0021】メモリトランジスタの表面は、層間絶縁膜131により覆われている。層間絶縁膜131には、ソース・コンタクト領域124aaに達するソース・コンタクト孔134と、ドレイン領域125に達するビット・コンタクト孔135とが設けられている。層間絶縁膜131の表面上に設けられたソース配線144、ビット線145は、それぞれソース・コンタクト孔134、ビット・コンタクト孔135を介して、ソース・コンタクト領域124aa、ドレイン領域125にそれぞれ直接に接続されている。ソース配線144およびビット線145は、それぞれ制御ゲート電極109と直交する方向に平行に配置されている。1つのソース・トランジスタ領域124abは、ソース配線により分断された範囲において、一対の制御ゲート電極にそれぞれ属した複数のメモリトランジスタに、共有されている。

【0022】本第1の実施例のソース・コンタクト領域124aaはN⁺型拡散層114aのみから構成されている。ソース・コンタクト領域124aaにおけるこのN⁺型拡散層114aは、フィールド絶縁膜102に自己整合的に形成されている。N⁺型拡散層114aの不純物濃度は例えば $2 \times 10^{20} \text{ cm}^{-3}$ 程度であり、N⁺型拡散層114aの接合の深さは例えば0.10μm程度であり、N⁺型拡散層114a（ソース・コンタクト領域124aa）の接合耐圧（BV_{J1}）は例えば12.0V程度である。本第1の実施例のソース・トランジスタ領域124abは、制御ゲート電極109（並びにフィールド絶縁膜102）に自己整合的にP型シリコン基板101の表面に形成されたN⁻型拡散層113aと、制御ゲート電極109（並びにフィールド絶縁膜102）に自己整合的にN⁻型拡散層113aの表面に形成されたN⁺型拡散層114aとから構成されている。N⁻型拡散層113aの接合の深さは例えば0.15μm程度であり、N⁻型拡散層113aの不純物濃度はソース・トランジスタ領域124abの接合耐圧（BV_{J2}）が例えば12.5V程度になるように調整されている。

【0023】本第1の実施例のドレイン領域125は、制御ゲート電極109並びにフィールド絶縁膜102に自己整合的にP型シリコン基板101の表面に形成されたポケット・ボロン拡散層111と、制御ゲート電極109並びにフィールド絶縁膜102に自己整合的にポケット・ボロン拡散層111の表面に形成されたN⁺型拡散層115とから構成されている。ポケット・ボロン拡

9

散層111の不純物濃度は例えば $2 \times 10^{17} \text{ cm}^{-3}$ 程度であり、ポケット・ボロン拡散層111の拡散層の深さは例えば $0.20 \mu\text{m}$ 程度である。N⁺型拡散層115の不純物濃度および接合の深さは、それぞれN⁺型拡散層114aの不純物濃度および接合の深さと同じである。本第1の実施例のメモリトランジスタのチャンネル長は、例えば $0.20 \mu\text{m}$ 程度である。ドレイン領域125の接合耐圧(BV_{J3})は例えば10.5V程度である。なお、本第1の実施例において、ポケット・ボロン拡散層111を設けたのは書き込み速度を高くするためであり、書き込み速度の向上を犠牲にするならばポケット・ボロン拡散層は設けなくてもよい。

【0024】図1のAA線およびBB線での主要製造工程の断面模式図である図3および図4と、図1および図2とを併せて参照すると、本第1の実施例によるフラッシュメモリ装置の要部の製造方法は、以下のとおりになっている。

【0025】まず、P型シリコン基板101の表面の素子分離領域に、フィールド絶縁膜102が形成される。P型シリコン基板101の表面の素子形成領域に、トンネル・ゲート絶縁膜106が形成される。全面にN⁺型多結晶シリコン膜が形成される。このN⁺型多結晶シリコン膜がパターンニングされて、(ビット線の形成予定領域に沿った姿態を有した)N⁺型多結晶シリコン膜パターンが形成される。少なくともN⁺型多結晶シリコン膜パターンの表面を覆う姿態を有して、例えばONO構造の(第2の)ゲート絶縁膜108が形成される。全面に高融点金属ポリサイド膜が形成される。この高融点金属ポリサイド膜がパターンニングされて、制御ゲート電極109が形成される。さらに制御ゲート電極109に自己整合的に上記ゲート絶縁膜108、N⁺型多結晶シリコン膜パターンおよびトンネル・ゲート絶縁膜106がパターンニングされて、浮遊ゲート電極107等が形成される。

【0026】次に、ドレイン形成予定領域にのみ開口部を有したフォトレジスト膜151が形成される。このフォトレジスト膜151をマスクにしたボロンのイオン注入等により、ドレイン形成予定領域にはポケット・ボロン拡散層111が形成される〔図3(a)、図4(a)、図2(b)〕。

【0027】次に、上記フォトレジスト膜151が除去された後、ソース・トランジスタ形成予定領域にのみ開口部を有してフォトレジスト膜152が形成される。このフォトレジスト膜152をマスクにしたN型不純物のイオン注入等により、ソース・トランジスタ形成予定領域にはN⁻型拡散層113aが形成される〔図3(b)、図4(b)、図2(b)〕。

【0028】次に、上記フォトレジスト膜153が除去された後、N型不純物のイオン注入等が行なわれて、ソース形成予定領域、ドレイン形成予定領域にはそれぞれ

10

N⁺型拡散層114a、N⁺型拡散層115が形成される。これにより、(N⁺型拡散層114aからなる)ソース・コンタクト領域124aaおよび(N⁻型拡散層113aとN⁺型拡散層114aとからなる)ソース・トランジスタ領域124abからなるソース領域124aと、ポケット・ボロン拡散層111およびN⁺型拡散層115からなるドレイン領域125とが形成される。〔図3(c)、図4(c)、図1、図2(a)、図2(b)〕。

【0029】その後、層間絶縁膜131が形成され、ソース・コンタクト孔134およびビット・コンタクト孔135が形成され、ソース配線144およびビット線145が形成されて、本第1の実施例によるフラッシュメモリ装置が形成される〔図1、図2〕。

【0030】本第1の実施例のフラッシュメモリ装置によれば、消去する際のソース配線144への印加電圧V_sが、例えばV_s = 11.0Vのように、V_s < BV_{J1} (< BV_{J2})に設定するならば、電源電圧変動によりV_s ≥ BV_{J1}に変化しても、アバランシェ・ブレイクダウンは(ソース・トランジスタ領域124abでは発生せずに)ソース・コンタクト領域124aaにおいてのみ発生することになる。このため、消去時に電源電圧変動によりV_s ≥ BV_{J1}に変化しても、メモリトランジスタのデータ保持特性や繰り返し特性の劣化の抑制が容易になる。

【0031】NOR型のフラッシュメモリ装置の主要部の平面模式図である図5と、図5のAA線およびBB線での断面模式図である図6(a)および図6(b)とを参照すると、本発明の第1の実施の形態の第2の実施例によるソース消去型のフラッシュメモリ装置の構成は、以下のとおりになっている。

【0032】不純物濃度が例えば $2 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ のP型シリコン基板101の表面の素子形成領域には、メモリセルを構成する複数のメモリトランジスタが規則的に配置されている。メモリトランジスタ間の素子分離は、P型シリコン基板101の表面(の素子分離領域)に設けられたフィールド絶縁膜102によってなされている。メモリトランジスタは、P型シリコン基板101、ソース領域124b、ドレイン領域125、トンネル・ゲート絶縁膜106、浮遊ゲート電極107、ゲート絶縁膜108および制御ゲート電極109から構成されている。

【0033】浮遊ゲート電極107は、トンネル・ゲート絶縁膜106を介して、P型シリコン基板101の表面の素子形成領域に設けられている。トンネル・ゲート絶縁膜106は例えば9nm程度の膜厚の熱酸化膜からなる。浮遊ゲート電極107はN⁺型の多結晶シリコン膜からなり、浮遊ゲート電極107の両端はそれぞれフィールド絶縁膜102の表面上に延在している。ワード線を兼た制御ゲート電極109は、少なくとも素子形成

11

領域上ではゲート絶縁膜108を介して浮遊ゲート電極107の表面に設けられ、素子分離領域上では概ねフィールド絶縁膜102の表面上に設けられている。制御ゲート電極109は、概ね平行に配置され、例えば高融点金属ポリサイド膜からなる。ゲート絶縁膜108は、例えば酸化シリコン膜、窒化シリコン膜および酸化シリコン膜から構成された積層膜(ONO膜)からなる。素子形成領域上では、トンネル・ゲート絶縁膜106、浮遊ゲート電極107、ゲート絶縁膜108および制御ゲート電極109が自己整合的に形成されている。メモリトランジスタのゲート長(チャンネル長ではない)は、例えば0.40 μm 程度である。

【0034】それぞれ1つのソース領域124bは隣接した一对の制御ゲート電極109(一对のワード線)に属するメモリトランジスタが共有し、それぞれ1つのドレイン領域125は隣接した2つのメモリトランジスタが共有している。ソース領域124bは概ね帯状の姿態を有して制御ゲート電極109に平行に設けられている。ドレイン領域125は矩形状の姿態を有して配置されている。

【0035】本第2の実施例のソース領域124bは、ソース・コンタクト領域124baと、ソース・トランジスタ領域124bbとから構成されている。ソース・コンタクト領域124baおよびソース・トランジスタ領域124bbは隣接し、それぞれのソース・トランジスタ領域124bbはソース・コンタクト領域124baにより分断されている。

【0036】メモリトランジスタの表面は、層間絶縁膜131により覆われている。層間絶縁膜131には、ソース・コンタクト領域124baに達するソース・コンタクト孔134と、ドレイン領域125に達するビット・コンタクト孔135とが設けられている。層間絶縁膜131の表面上に設けられたソース配線144、ビット線145は、それぞれソース・コンタクト孔134、ビット・コンタクト孔135を介して、ソース・コンタクト領域124ba、ドレイン領域125にそれぞれ直接に接続されている。ソース配線144およびビット線145は、それぞれ制御ゲート電極109と直交する方向に平行に配置されている。1つのソース・トランジスタ領域124bbは、ソース配線により分断された範囲において、一对の制御ゲート電極にそれぞれ属した複数のメモリトランジスタに、共有されている。

【0037】本第2の実施例のソース・コンタクト領域124baは、フィールド絶縁膜102に自己整合的に形成されたコンタクト・ボロン拡散層112bと、フィールド絶縁膜に自己整合的にコンタクト・ボロン拡散層112bの表面に形成されたN⁺型拡散層114bとから構成されている。コンタクト・ボロン拡散層112bの不純物濃度は例えば $1.2 \times 10^{17} \text{cm}^{-3}$ 程度である。N⁺型拡散層114bの不純物濃度は例えば $2 \times 10^{20} \text{cm}^{-3}$ 程度であり、N⁺型拡散層114bの接合の深さは例えば0.10 μm 程度である。ソース・コンタクト領域124baの接合耐圧(BV_{J1})は例えば11.0V程度である。本第2の実施例のソース・トランジスタ領域124bbは、制御ゲート電極109(並びにフィールド絶縁膜102)に自己整合的にP型シリコン基板101の表面に形成されたN⁺型拡散層114bのみから構成されている。ソース・トランジスタ領域124bbの接合耐圧(BV_{J2})は例えば12.0V程度である。

12

【0038】本第2の実施例のドレイン領域125は、(上記第1の実施例のドレイン領域と同じ構成であり)ポケット・ボロン拡散層111とN⁺型拡散層115とから構成されている。ポケット・ボロン拡散層111の不純物濃度は例えば $2 \times 10^{17} \text{cm}^{-3}$ 程度であり、ポケット・ボロン拡散層111の拡散層の深さは例えば0.20 μm 程度である。N⁺型拡散層115の不純物濃度および接合の深さは、それぞれN⁺型拡散層114bの不純物濃度および接合の深さと同じである。本第2の実施例のメモリトランジスタのチャンネル長も、例えば0.20 μm 程度である。ドレイン領域125の接合耐圧(BV_{J3})は例えば10.5V程度である。なお、本第2の実施例においても、ポケット・ボロン拡散層111を設けたのは書き込み速度を高くするためであり、書き込み速度の向上を犠牲にするならばポケット・ボロン拡散層は設けなくてもよい。

【0039】図5のAA線およびBB線での主要製造工程の断面模式図である図7および図8と、図5および図6とを併せて参照すると、本第2の実施例によるフラッシュメモリ装置の要部の製造方法は、以下のとおりになっている。

【0040】まず、上記第1の実施例と同様の方法により、浮遊ゲート電極107等までが形成される。

【0041】次に、上記第1の実施例と同様に、ドレイン形成予定領域にのみ開口部を有したフォトレジスト膜151が形成される。このフォトレジスト膜151をマスクにしたボロンのイオン注入等により、ドレイン形成予定領域にはポケット・ボロン拡散層111が形成される〔図7(a)、図8(a)、図6(b)〕。

【0042】次に、上記フォトレジスト膜151が除去された後、ソース・コンタクト形成予定領域にのみ開口部を有してフォトレジスト膜153が形成される。このフォトレジスト膜153をマスクにしたボロンのイオン注入等により、ソース・コンタクト形成予定領域にはコンタクト・ボロン拡散層112bが形成される〔図7(b)、図8(b)、図6(b)〕。

【0043】次に、上記フォトレジスト膜153が除去された後、N型不純物のイオン注入等が行われて、ソース形成予定領域、ドレイン形成予定領域にはそれぞれN⁺型拡散層114b、N⁺型拡散層115が形成され

13

る。これにより、(コンタクト・ボロン拡散層112bとN⁺型拡散層114bとからなる)ソース・コンタクト領域124baおよび(N⁺型拡散層114bからなる)ソース・トランジスタ領域124bbからなるソース領域124bと、ポケット・ボロン拡散層111およびN⁺型拡散層115からなるドレイン領域125とが形成される。〔図7(c)、図8(c)、図5、図6(a)、図6(b)〕。

【0044】その後、上記第1の実施例と同様に、層間絶縁膜131が形成され、ソース・コンタクト孔134およびビット・コンタクト孔135が形成され、ソース配線144およびビット線145が形成されて、本第1の実施例によるフラッシュメモリ装置が形成される〔図5、図6〕。

【0045】本第2の実施例は、上記第1の実施例の有した効果を有している。本第2の実施例では、消去する際のソース配線144への印加電圧 V_s が、例えば $V_s = 10.5V$ のように、 $V_s < BV_{J1}$ ($< BV_{J2}$)に設定するならば、電源電圧変動により $V_s \geq BV_{J1}$ に変化しても、アバランシェ・ブレイクダウンは(ソース・トランジスタ領域124bbでは発生せずに)ソース・コンタクト領域124baにおいてのみ発生することになる。このため、消去時に電源電圧変動により $V_s \geq BV_{J1}$ に変化しても、メモリトランジスタのデータ保持特性や繰り返し特性の劣化の抑制が容易になる。

【0046】NOR型のフラッシュメモリ装置の主要部の平面模式図である図9と、図9のAA線およびBB線での断面模式図である図10(a)および図10(b)とを参照すると、本発明の第1の実施の形態の第3の実施例によるソース消去型のフラッシュメモリ装置の構成は、以下のとおりになっている。

【0047】P型シリコン基板101の表面の素子形成領域には、メモリセルを構成する複数のメモリトランジスタが規則的に配置されている。メモリトランジスタ間の素子分離は、P型シリコン基板101の表面(の素子分離領域)に設けられたフィールド絶縁膜102によってなされている。メモリトランジスタは、P型シリコン基板101、ソース領域124c、ドレイン領域125、トンネル・ゲート絶縁膜106、浮遊ゲート電極107、ゲート絶縁膜108および制御ゲート電極109から構成されている。

【0048】浮遊ゲート電極107は、トンネル・ゲート絶縁膜106を介して、P型シリコン基板101の表面の素子形成領域に設けられている。トンネル・ゲート絶縁膜106は例えば9nm程度の膜厚の熱酸化膜からなる。浮遊ゲート電極107はN⁺型の多結晶シリコン膜からなり、浮遊ゲート電極107の両端はそれぞれフィールド絶縁膜102の表面上に延在している。ワード線を兼ねた制御ゲート電極109は、少なくとも素子形成領域上ではゲート絶縁膜108を介して浮遊ゲート電極

14

107の表面に設けられ、素子分離領域上では概ねフィールド絶縁膜102の表面上に設けられている。制御ゲート電極109は、概ね平行に配置され、例えば高融点金属ポリサイド膜からなる。ゲート絶縁膜108は、例えばONO膜からなる。素子形成領域上では、トンネル・ゲート絶縁膜106、浮遊ゲート電極107、ゲート絶縁膜108および制御ゲート電極109が自己整合的に形成されている。メモリトランジスタのゲート長(チャンネル長ではない)は、例えば0.40 μm 程度である。

【0049】それぞれ1つのソース領域124cは隣接した一对の制御ゲート電極109(一对のワード線)に属するメモリトランジスタが共有し、それぞれ1つのドレイン領域125は隣接した2つのメモリトランジスタが共有している。ソース領域124bは概ね帯状の姿態を有して制御ゲート電極109に平行に設けられている。ドレイン領域125は矩形状の姿態を有して配置されている。

【0050】本第3の実施例のソース領域124cは、ソース・コンタクト領域124caと、ソース・トランジスタ領域124cbとから構成されている。ソース・コンタクト領域124caおよびソース・トランジスタ領域124cbは隣接し、それぞれのソース・トランジスタ領域124cbはソース・コンタクト領域124caにより分断されている。

【0051】メモリトランジスタの表面は、層間絶縁膜131により覆われている。層間絶縁膜131には、ソース・コンタクト領域124baに達するソース・コンタクト孔134と、ドレイン領域125に達するビット・コンタクト孔135とが設けられている。層間絶縁膜131の表面上に設けられたソース配線144、ビット線145は、それぞれソース・コンタクト孔134、ビット・コンタクト孔135を介して、ソース・コンタクト領域124ca、ドレイン領域125にそれぞれ直接に接続されている。ソース配線144およびビット線145は、それぞれ制御ゲート電極109と直交する方向に平行に配置されている。1つのソース・トランジスタ領域124cbは、ソース配線により分断された範囲において、一对の制御ゲート電極にそれぞれ属した複数のメモリトランジスタに、共有されている。

【0052】本第3の実施例のソース・コンタクト領域124caは、フィールド絶縁膜102に自己整合的に形成されたコンタクト・ボロン拡散層112cと、フィールド絶縁膜に自己整合的にコンタクト・ボロン拡散層112cの表面に形成されたN⁺型拡散層114bとから構成されている。コンタクト・ボロン拡散層112cの不純物濃度は例えば $1.2 \times 10^{17} cm^{-3}$ 程度である。N⁺型拡散層114cの不純物濃度は例えば $2 \times 10^{20} cm^{-3}$ 程度であり、N⁺型拡散層114cの接合の深さは例えば0.10 μm 程度である。ソース・コンタ

15

クト領域124caの接合耐圧(BV_{J1})は例えば11.0V程度である。本第3の実施例のソース・トランジスタ領域124bbは、制御ゲート電極109(並びにフィールド絶縁膜102)に自己整合的にP型シリコン基板101の表面に形成されたN⁻型拡散層113cと、制御ゲート電極109(並びにフィールド絶縁膜102)に自己整合的にN⁻型拡散層113cの表面に形成されたN⁺型拡散層114cとから構成されている。ソース・トランジスタ領域124cbの接合耐圧(BV_{J2})は例えば12.5V程度である。

【0053】本第3の実施例のドレイン領域125は、(上記第1、第2の実施例のドレイン領域と同じ構成であり)ポケット・ボロン拡散層111とN⁺型拡散層115とから構成されている。ポケット・ボロン拡散層111の不純物濃度は例えば $2 \times 10^{17} \text{ cm}^{-3}$ 程度であり、ポケット・ボロン拡散層111の拡散層の深さは例えば0.20 μm 程度である。N⁺型拡散層115の不純物濃度および接合の深さは、それぞれN⁺型拡散層114bの不純物濃度および接合の深さと同じである。本第2の実施例のメモリトランジスタのチャネル長も、例えば0.20 μm 程度である。ドレイン領域125の接合耐圧(BV_{J3})は例えば10.5V程度である。なお、本第3の実施例においても、ポケット・ボロン拡散層111を設けたのは書き込み速度を高くするためであり、書き込み速度の向上を犠牲にするならばポケット・ボロン拡散層は設けなくてもよい。

【0054】本第3の実施例も、上記第1、第2の実施例の有した効果を有している。本第3の実施例では、消去する際のソース配線144への印加電圧V_sが、例えばV_s=10.5Vのように、V_s<BV_{J1}(<BV_{J2})に設定するならば、電源電圧変動によりV_s≥BV_{J1}に変化しても、アバランシェ・ブレイクダウンは(ソース・トランジスタ領域124cbでは発生せず)にソース・コンタクト領域124caにおいてのみ発生することになる。このため、消去時に電源電圧変動によりV_s≥BV_{J1}に変化しても、メモリトランジスタのデータ保持特性や繰り返し特性の劣化の抑制が容易になる。

【0055】なお、上記第1の実施の形態の上記第1、第2、第3の実施例において採用した各種数値は上記数値に限定されるものではなく、BV_{J1}<BV_{J2}の条件を満たし、消去時のソース配線への印加電圧V_sがV_s<BV_{J1}を満たす範囲での自由度がある。

【0056】NOR型のフラッシュメモリ装置の主要部の平面模式図である図11と、図11のAA線、BB線およびCC線での断面模式図である図12(a)、

(b)および(c)とを参照すると、本発明の第2の実施の形態の第1の実施例によるソース消去型のフラッシュメモリ装置の構成は、以下のとおりになっている。

【0057】P型シリコン基板201の表面の素子形成

16

領域には、メモリセルを構成する複数のメモリトランジスタが規則的に配置されている。メモリトランジスタ間の素子分離は、P型シリコン基板201の表面(の素子分離領域)に設けられたフィールド絶縁膜202によってなされている。メモリトランジスタは、P型シリコン基板201、ソース領域224、ドレイン領域225、トンネル・ゲート絶縁膜206、浮遊ゲート電極207、ゲート絶縁膜208および制御ゲート電極209から構成されている。

【0058】浮遊ゲート電極207は、トンネル・ゲート絶縁膜206を介して、P型シリコン基板201の表面の素子形成領域に設けられている。トンネル・ゲート絶縁膜206は熱酸化膜からなる。浮遊ゲート電極207はN⁺型の多結晶シリコン膜からなり、浮遊ゲート電極207の両端はそれぞれフィールド絶縁膜202の表面上に延在している。ワード線を兼た制御ゲート電極209は、少なくとも素子形成領域上ではゲート絶縁膜208を介して浮遊ゲート電極207の表面に設けられ、素子分離領域上では概ねフィールド絶縁膜202の表面上に設けられている。制御ゲート電極209は、概ね平行に配置され、例えば高融点金属ポリサイド膜からなる。ゲート絶縁膜208は例えばONO膜からなるが、これに限定されるものではない。素子形成領域上では、トンネル・ゲート絶縁膜206、浮遊ゲート電極207、ゲート絶縁膜208および制御ゲート電極209が自己整合的に形成されている。

【0059】それぞれ1つのソース領域224は隣接した一对の制御ゲート電極209(一对のワード線)に属するメモリトランジスタが共有し、それぞれ1つのドレイン領域225は隣接した2つのメモリトランジスタが共有している。ソース領域224は概ね帯状の姿態を有して制御ゲート電極209に平行に設けられている。ドレイン領域225は矩形状の姿態を有して配置されている。

【0060】本第2の実施の形態の本第1の実施例のソース領域224は、ソース・コンタクト領域224aと、ソース・トランジスタ領域224bとから構成されている。ソース・コンタクト領域224aおよびソース・トランジスタ領域224bは隣接し、それぞれのソース・トランジスタ領域224bはソース・コンタクト領域224aにより分断されている。

【0061】メモリトランジスタの表面は、層間絶縁膜231により覆われている。層間絶縁膜231には、ソース・コンタクト領域224aに達するソース・コンタクト孔234と、ドレイン領域225に達するビット・コンタクト孔235とが設けられている。層間絶縁膜231の表面上に設けられたソース配線244、ビット線245は、それぞれソース・コンタクト孔234、ビット・コンタクト孔235を介して、ソース・コンタクト領域224a、ドレイン領域225にそれぞれ直接に接

17

続されている。ソース配線244およびビット線245は、それぞれ制御ゲート電極209と直交する方向に平行に配置されている。1つのソース・トランジスタ領域224bは、ソース配線により分断された範囲において、一対の制御ゲート電極にそれぞれ属した複数のメモリトランジスタに、共有されている。

【0062】本第2の実施の形態の本第1の実施例のソース・コンタクト領域224aおよびソース・トランジスタ領域224bは、それぞれN⁺型拡散層214のみから構成されている。N⁺型拡散層214は、フィールド絶縁膜202並びに制御ゲート電極209に自己整合的に形成されている。本第2の実施の形態の本第1の実施例では、P型シリコン基板201の不純物濃度より高い濃度を有したP型拡散層204が、ソース配線244の直下においてソース配線244に平行にP型シリコン基板201中に設けられている。P型拡散層204の直上の所要個所のP型シリコン基板201の表面には、基板コンタクト孔236を介して基板配線246に直接に接続されるP⁺型拡散層216が設けられている。P⁺型拡散層216は、P型拡散層204に直接に接触している。ソース・コンタクト領域224aにおいて、P型拡散層204は、N⁺型拡散層214の底面に直接に接触している。ソース領域224がこのような構造を採用することにより、ソース・コンタクト領域224aの接合耐圧BV_{J1}と、ソース・トランジスタ領域224bの接合耐圧BV_{J2}との間には、BV_{J1}<BV_{J2}の関係が成立する。

【0063】なお、本第2の実施の形態の本第1の実施例において、ソース・トランジスタ領域224bの構成は上記構造に限定されるものではなく、上記第1の実施の形態の上記1、第3の実施例と同様に、N⁺型拡散層とN⁺型拡散層とから構成されていてもよい。

【0064】本第2の実施の形態の本第1の実施例のドレイン領域225は、制御ゲート電極209並びにフィールド絶縁膜202に自己整合的にP型シリコン基板201の表面に形成されたポケット・ボロン拡散層211と、制御ゲート電極209並びにフィールド絶縁膜202に自己整合的にポケット・ボロン拡散層211の表面に形成されたN⁺型拡散層215とから構成されている。N⁺型拡散層215の不純物濃度および接合の深さは、それぞれN⁺型拡散層214の不純物濃度および接合の深さと同じである。なお、本第2の実施の形態の本第1の実施例において、ポケット・ボロン拡散層211を設けたのは書き込み速度を高くするためであり、書き込み速度の向上を犠牲にするならばポケット・ボロン拡散層は設けなくてもよい。

【0065】図11のAA線、BB線およびCC線での主要製造工程の断面模式図である図13(a)、(b)および(c)を参照すると、本第2の実施の形態の本第1の実施例における上記P型拡散層204の製造方法

18

は、以下のとおりになっている。

【0066】まず、P型シリコン基板201の表面の素子分離領域、素子形成領域に、それぞれフィールド絶縁膜202、酸化シリコン膜203が形成される。続いて、少なくともソース配線の形成予定領域を含んで帯状の開口部を有したフォトリソ膜251が形成される。このフォトリソ膜251をマスクにしたボロンの高エネルギー・イオン注入等が行なわれて、P型シリコン基板201中にはP型拡散層204が形成される。酸化シリコン膜203とP型拡散層204とは離間しており、好ましくはフィールド絶縁膜202の底面はP型拡散層204に接触している。

【0067】フォトリソ膜251、酸化シリコン膜203が除去された後、制御ゲート電極209の形成までは上記第1の実施の形態と同様の製造方法により形成される。P⁺型拡散層216の形成は、N⁺型拡散層214、215の形成に前後して行なわれる。

【0068】本第2の実施の形態の本第1の実施例のフラッシュメモリ装置によれば、消去する際のソース配線244への印加電圧V_sがV_s<BV_{J1}(<BV_{J2})に設定されるならば、電源電圧変動によりV_s≥BV_{J1}に変化しても、アバランシェ・ブレイクダウンは(ソース・トランジスタ領域224bでは発生せずに)ソース・コンタクト領域224aにおいてのみ発生することになる。このため、消去時に電源電圧変動によりV_s≥BV_{J1}に変化しても、メモリトランジスタのデータ保持特性や繰り返し特性の劣化の抑制が容易になる。さらに本第2の実施の形態の本第1の実施例では、消去時の基板配線246の印加電圧V_{sub}をV_{sub}=0Vにしておけば、アバランシェ・ブレイクダウン時のホットキャリアを基板配線246に流すことが容易になる。

【0069】NOR型のフラッシュメモリ装置の主要部の平面模式図である図14と、図14のAA線、BB線およびCC線での断面模式図である図12(a)、

(b)および(c)とを参照すると、本発明の第2の実施の形態の第2の実施例によるソース消去型のフラッシュメモリ装置の構成は、以下のとおりになっている。

【0070】P型シリコン基板201の表面の素子形成領域には、メモリセルを構成する複数のメモリトランジスタが規則的に配置されている。メモリトランジスタ間の素子分離は、P型シリコン基板201の表面(の素子分離領域)に設けられたフィールド絶縁膜202によってなされている。メモリトランジスタは、P型シリコン基板201、ソース領域224、ドレイン領域225、トンネル・ゲート絶縁膜206、浮遊ゲート電極207、ゲート絶縁膜208および制御ゲート電極209から構成されている。

【0071】浮遊ゲート電極207は、トンネル・ゲート絶縁膜206を介して、P型シリコン基板201の表面の素子形成領域に設けられている。トンネル・ゲート

19

絶縁膜 206 は熱酸化膜からなる。浮遊ゲート電極 207 は N⁺ 型の多結晶シリコン膜からなり、浮遊ゲート電極 207 の両端はそれぞれフィールド絶縁膜 202 の表面上に延在している。ワード線を兼た制御ゲート電極 209 は、少なくとも素子形成領域上ではゲート絶縁膜 208 を介して浮遊ゲート電極 207 の表面に設けられ、素子分離領域上では概ねフィールド絶縁膜 202 の表面上に設けられている。制御ゲート電極 209 は、概ね平行に配置され、例えば高融点金属ポリサイド膜からなる。ゲート絶縁膜 208 は例えば ONO 膜からなるが、これに限定されるものではない。素子形成領域上では、トンネル・ゲート絶縁膜 206、浮遊ゲート電極 207、ゲート絶縁膜 208 および制御ゲート電極 209 が自己整合的に形成されている。

【0072】それぞれ 1 つのソース領域 224 は隣接した一対の制御ゲート電極 209（一対のワード線）に属するメモリトランジスタが共有し、それぞれ 1 つのドレイン領域 225 は隣接した 2 つのメモリトランジスタが共有している。ソース領域 224 は概ね帯状の姿態を有して制御ゲート電極 209 に平行に設けられている。ドレイン領域 225 は矩形状の姿態を有して配置されている。

【0073】本第 2 の実施の形態の本第 2 の実施例のソース領域 224 も、ソース・コンタクト領域 224 a と、ソース・トランジスタ領域 224 b とから構成されている。ソース・コンタクト領域 224 a およびソース・トランジスタ領域 224 b は隣接し、それぞれのソース・トランジスタ領域 224 b はソース・コンタクト領域 224 a により分断されている。

【0074】メモリトランジスタの表面は、層間絶縁膜 231 により覆われている。層間絶縁膜 231 には、ソース・コンタクト領域 224 a に達するソース・コンタクト孔 234 と、ドレイン領域 225 に達するビット・コンタクト孔 235 とが設けられている。層間絶縁膜 231 の表面上に設けられたソース配線 244、ビット線 245 は、それぞれソース・コンタクト孔 234、ビット・コンタクト孔 235 を介して、ソース・コンタクト領域 224 a、ドレイン領域 225 にそれぞれ直接に接続されている。ソース配線 244 およびビット線 245 は、それぞれ制御ゲート電極 209 と直交する方向に平行に配置されている。1 つのソース・トランジスタ領域 224 b は、ソース配線により分断された範囲において、一対の制御ゲート電極にそれぞれ属した複数のメモリトランジスタに、共有されている。

【0075】本第 2 の実施の形態の本第 1 の実施例のソース・コンタクト領域 224 a およびソース・トランジスタ領域 224 b は、それぞれ N⁺ 型拡散層 214 のみから構成されている。N⁺ 型拡散層 214 は、フィールド絶縁膜 202 並びに制御ゲート電極 209 に自己整合的に形成されている。

20

【0076】本第 2 の実施の形態の本第 2 の実施例では、（第 1 の）P⁺ 型拡散層 205 が、ソース配線 244 の直下においてソース配線 244 に平行に P 型シリコン基板 201 中に設けられている。P⁺ 型拡散層 205 の直上の所要個所の P 型シリコン基板 201 の表面には、基板コンタクト孔 236 を介して基板配線 246 に直接に接続される（第 2 の）P⁺ 型拡散層 216 が設けられている。少なくともソース・コンタクト領域 224 a 並びに上記所要個所において、P 型シリコン基板 201 の不純物濃度より高い濃度を有した P 型拡散層 204 が設けられている。ソース・コンタクト領域 224 a では、P 型拡散層 204 は、N⁺ 型拡散層 216 の底面に直接に接触し、さらに、P⁺ 型拡散層 205 の上面に直接に接触している。上記所要個所では、P 型拡散層 204 は、P⁺ 型拡散層 216 の底面に直接に接触し、さらに、P⁺ 型拡散層 205 の上面に直接に接触している。

【0077】ソース領域 224 がこのような構造を採用することにより、ソース・コンタクト領域 224 a の接合耐圧 B V_{J1} と、ソース・トランジスタ領域 224 b の接合耐圧 B V_{J2} との間には、B V_{J1} < B V_{J2} の関係が成立する。

【0078】なお、本第 2 の実施の形態の本第 2 の実施例においても、ソース・トランジスタ領域 224 b の構成は上記構造に限定されるものではなく、上記第 1 の実施の形態の上記 1、第 3 の実施例と同様に、N⁻ 型拡散層と N⁺ 型拡散層とから構成されていてもよい。

【0079】本第 2 の実施の形態の本第 2 の実施例のドレイン領域 225 も、制御ゲート電極 209 並びにフィールド絶縁膜 202 に自己整合的に P 型シリコン基板 201 の表面に形成されたポケット・ボロン拡散層 211 と、制御ゲート電極 209 並びにフィールド絶縁膜 202 に自己整合的にポケット・ボロン拡散層 211 の表面に形成された N⁺ 型拡散層 215 とから構成されている。N⁺ 型拡散層 215 の不純物濃度および接合の深さは、それぞれ N⁺ 型拡散層 214 の不純物濃度および接合の深さと同じである。なお、本第 2 の実施の形態の本第 2 の実施例においても、ポケット・ボロン拡散層 211 を設けたのは書き込み速度を高くするためであり、書き込み速度の向上を犠牲にするならばポケット・ボロン拡散層は設けなくてもよい。

【0080】図 14 の AA 線および CC 線での主要製造工程の断面模式図である図 16 および図 17 を参照すると、本第 2 の実施の形態の本第 1 の実施例における上記 P⁺ 型拡散層 205 並びに P 型拡散層 204 の製造方法は、以下のとおりになっている。

【0081】まず、P 型シリコン基板 201 の表面の素子分離領域、素子形成領域に、それぞれフィールド絶縁膜 202、酸化シリコン膜 203 が形成される。続いて、少なくともソース配線の形成予定領域を含んで帯状の開口部を有したフォトリソ膜 251 が形成され

る。このフォトリソ膜241をマスクにしたボロンの高エネルギー・イオン注入等が行なわれて、P型シリコン基板201中にはP型拡散層204が形成される。酸化シリコン膜203とP型拡散層204とは離間しており、好ましくはフィールド絶縁膜202の底面はP型拡散層204に接触している〔図16(a)、図17(a)〕。

【0082】続いて、上記フォトリソ膜241をマスクにしてさらに高エネルギーでのボロンのイオン注入等が行なわれて、P⁺型拡散層205がP型シリコン基板201中に形成される。P⁺型拡散層205の濃度ピーク位置はP型拡散層204の濃度ピーク位置より深く、さらに、P⁺型拡散層205の不純物プロファイルとP型拡散層204の不純物プロファイルとはオーバー・ラップしている〔図16(b)、図17(b)〕。

【0083】フォトリソ膜251、酸化シリコン膜203が除去された後、制御ゲート電極209の形成までは上記第1の実施の形態と同様の製造方法により形成される。P⁺型拡散層216の形成は、N⁺型拡散層214、215の形成に前後して行なわれる。

【0084】本第2の実施の形態の本第2の実施例は、本第2の実施の形態の上記第1の実施例の有した効果を有している。

【0085】

【発明の効果】以上説明したように、本発明のフラッシュメモリ装置はソース領域がソース・コンタクト領域とソース・トランジスタ領域とから構成され、さらに、ソース・コンタクト領域の接合耐圧BV_{J1}とソース・トランジスタ領域の接合耐圧BV_{J2}との間にはBV_{J1}<BV_{J2}の関係が成立している。

【0086】そのため、本発明によれば、電源電圧変動によりソース領域に印加する消去電圧V_sが過電圧になり、アバランシェ・ブレイクダウンが発生しても、これはソース・コンタクト領域において発生することになる。その結果、本発明の採用により、メモリトランジスタのデータ保持特性や繰り返し特性の劣化の抑制が容易になる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の第1の実施例の平面模式図である。

【図2】上記第1の実施の形態の上記第1の実施例の断面模式図であり、図1のAA線およびBB線での断面模式図である。

【図3】上記第1の実施の形態の上記第1の実施例の製造工程の断面模式図であり、図1のAA線に沿った製造工程の断面模式図である。

【図4】上記第1の実施の形態の上記第1の実施例の製造工程の断面模式図であり、図1のBB線に沿った製造工程の断面模式図である。

【図5】本発明の第1の実施の形態の第2の実施例の平

面模式図である。

【図6】上記第1の実施の形態の上記第2の実施例の断面模式図であり、図5のAA線およびBB線での断面模式図である。

【図7】上記第1の実施の形態の上記第2の実施例の製造工程の断面模式図であり、図5のAA線に沿った製造工程の断面模式図である。

【図8】上記第1の実施の形態の上記第2の実施例の製造工程の断面模式図であり、図5のBB線に沿った製造工程の断面模式図である。

【図9】本発明の第1の実施の形態の第3の実施例の平面模式図である。

【図10】上記第1の実施の形態の上記第3の実施例の断面模式図であり、図9のAA線およびBB線での断面模式図である。

【図11】本発明の第2の実施の形態の第1の実施例の平面模式図である。

【図12】上記第2の実施の形態の上記第1の実施例の断面模式図であり、図11のAA線、BB線およびCC線での断面模式図である。

【図13】上記第2の実施の形態の上記第1の実施例の主要製造工程を説明するための断面模式図であり、図11のAA線、BB線およびCC線に沿った主要製造工程の断面模式図である。

【図14】本発明の第2の実施の形態の第2の実施例の平面模式図である。

【図15】上記第2の実施の形態の上記第2の実施例の断面模式図であり、図14のAA線、BB線およびCC線での断面模式図である。

【図16】上記第2の実施の形態の上記第2の実施例の主要製造工程を説明するための断面模式図であり、図14のAA線に沿った主要製造工程の断面模式図である。

【図17】上記第2の実施の形態の上記第2の実施例の主要製造工程を説明するための断面模式図であり、図14のCC線に沿った主要製造工程の断面模式図である。

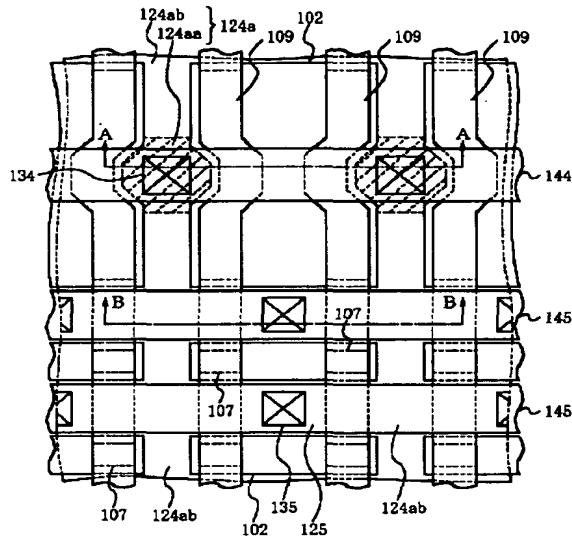
【符号の説明】

101, 201	P型シリコン基板
102, 202	フィールド絶縁膜
106, 206	トンネル・ゲート絶縁膜
107, 207	浮遊ゲート電極
108, 208	ゲート絶縁膜
109, 209	制御ゲート電極
111, 211	ポケット・ボロン拡散層
112b, 112c	コンタクト・ボロン拡散層
113a, 113c	N ⁻ 型拡散層
114a, 114b, 114c, 214, 215	N ⁺ 型拡散層
124a, 124b, 124c, 224	ソース領域
124aa, 124ba, 124ca, 224a	ソース・コンタクト領域

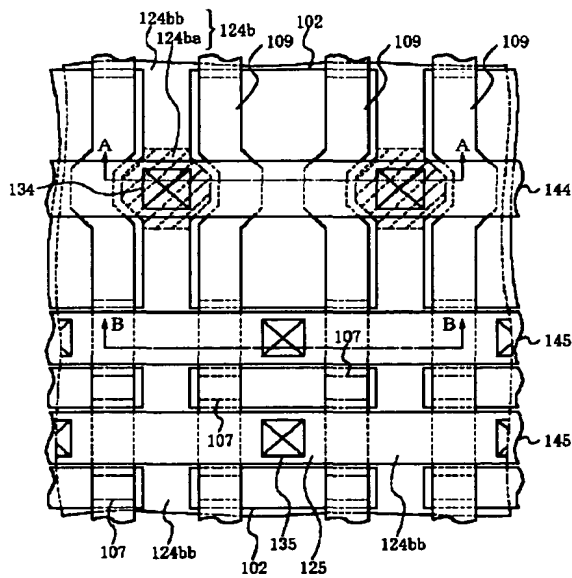
23
 124ab, 124bb, 124cb, 224b ソース・トランジスタ領域
 125, 225 ドレイン領域
 131, 231 層間絶縁膜
 134, 234 ソース・コンタクト孔
 135, 235 ビット・コンタクト孔
 144, 244 ソース配線

*

【図1】



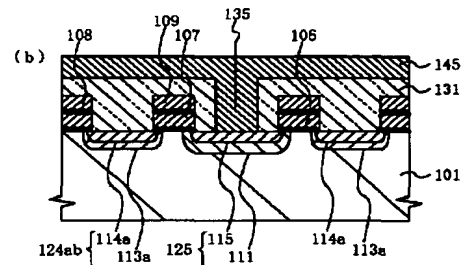
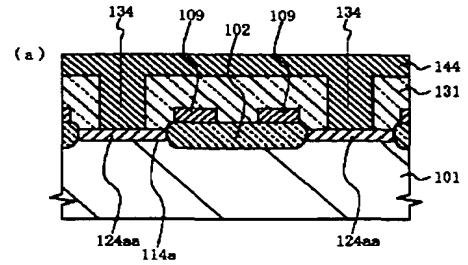
【図5】



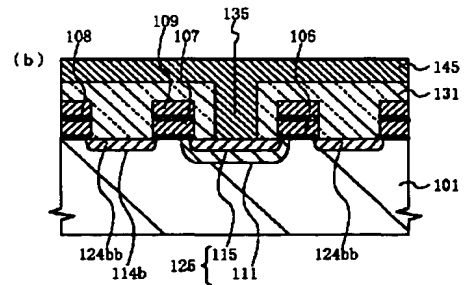
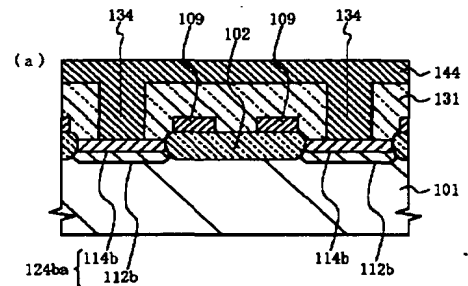
24

*145, 245 ビット線
 151, 152, 153, 251 フォトリソグ膜
 204 P型拡散層
 205, 216 P+型拡散層
 236 基板コンタクト孔
 246 基板配線

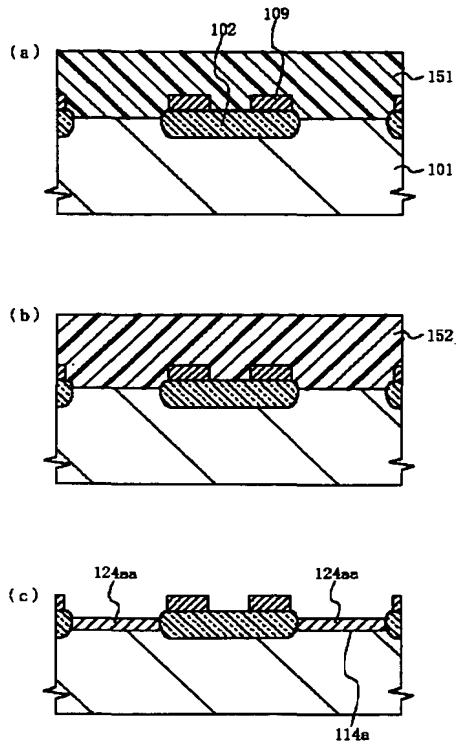
【図2】



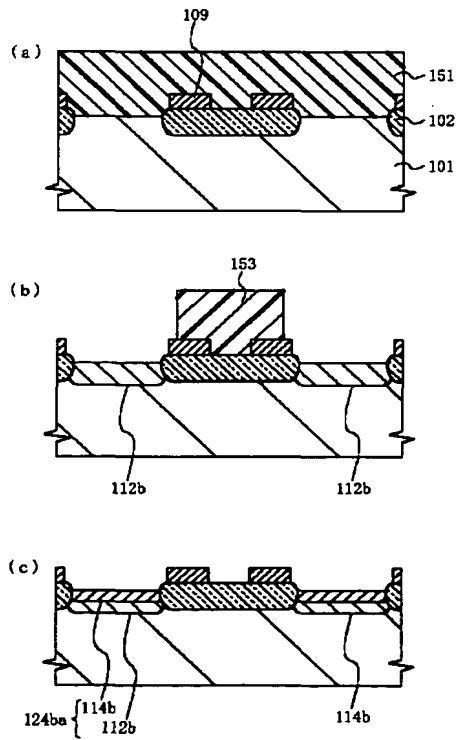
【図6】



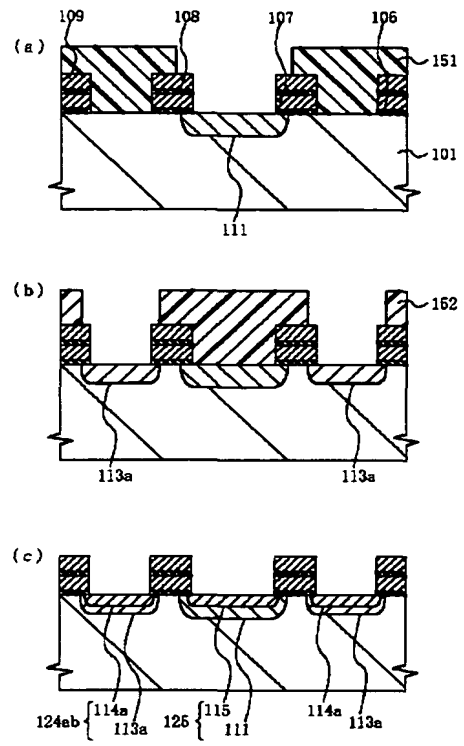
【図 3】



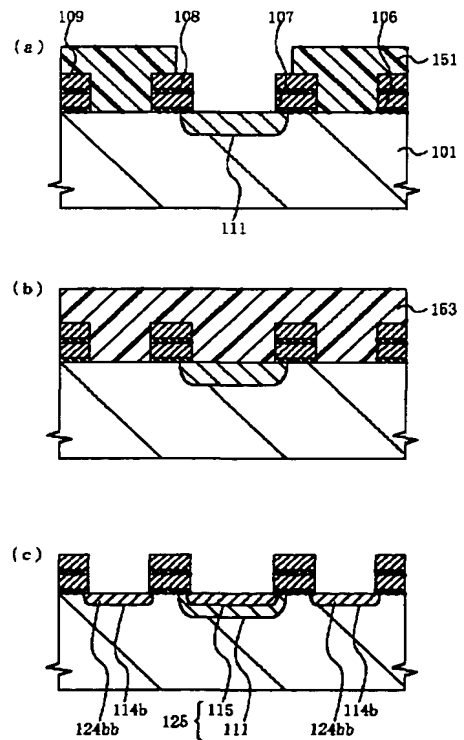
【図 7】



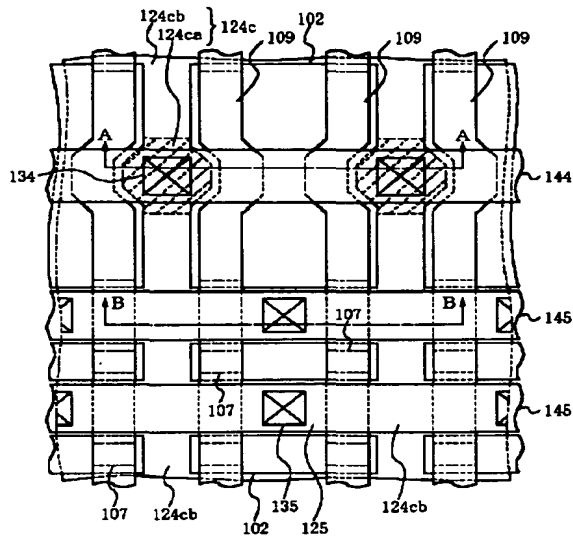
【図 4】



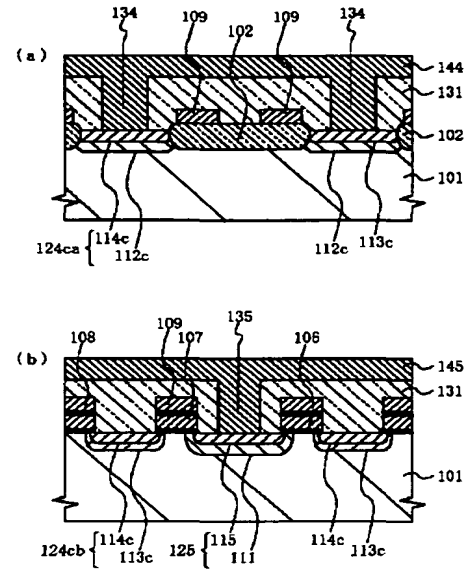
【図 8】



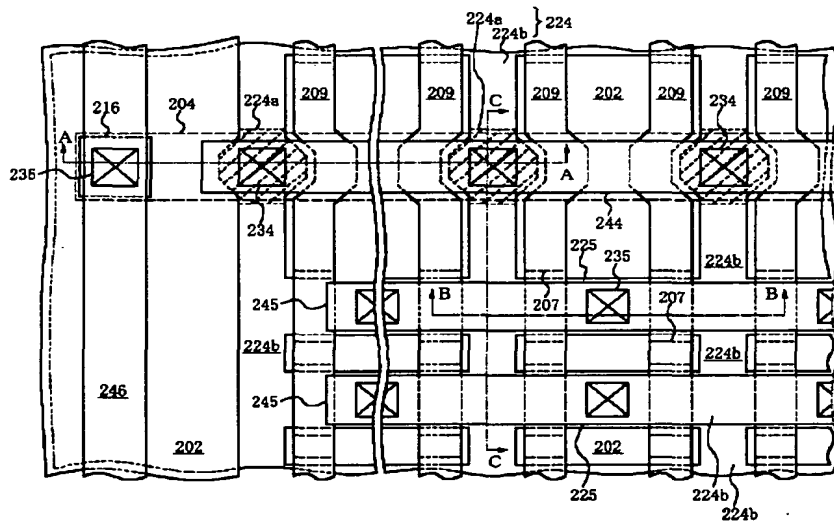
【図 9】



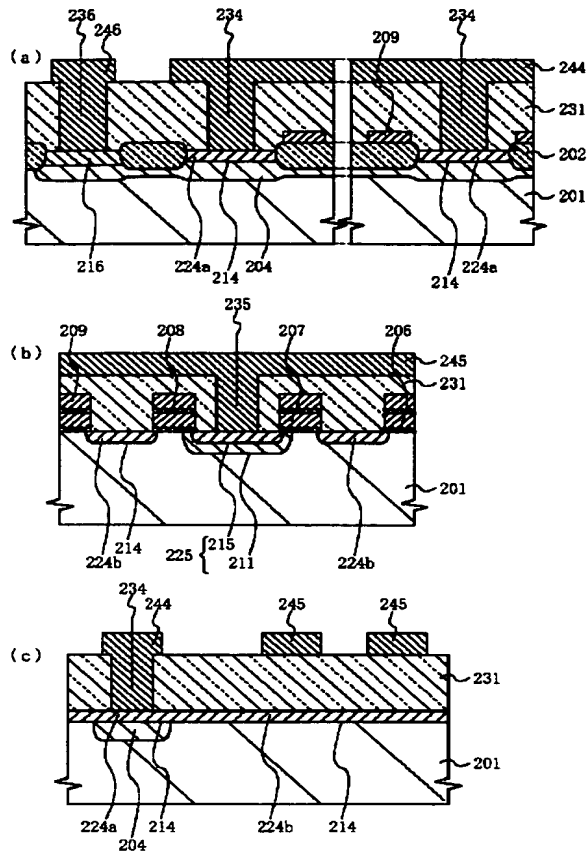
【図 10】



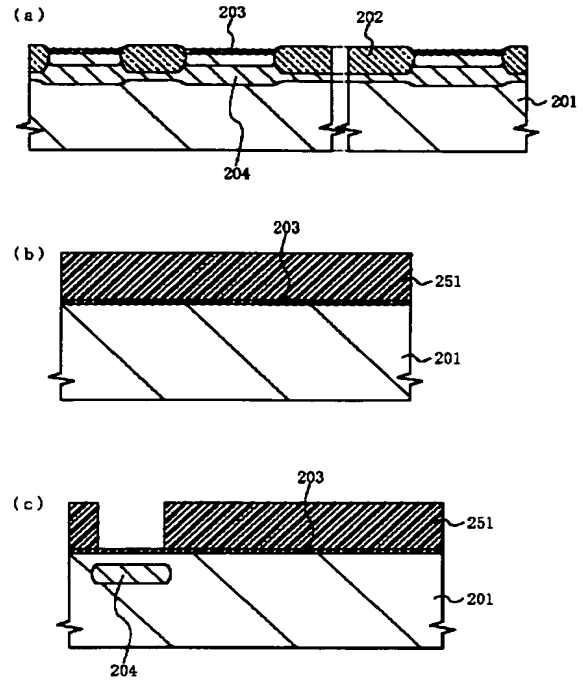
【図 11】



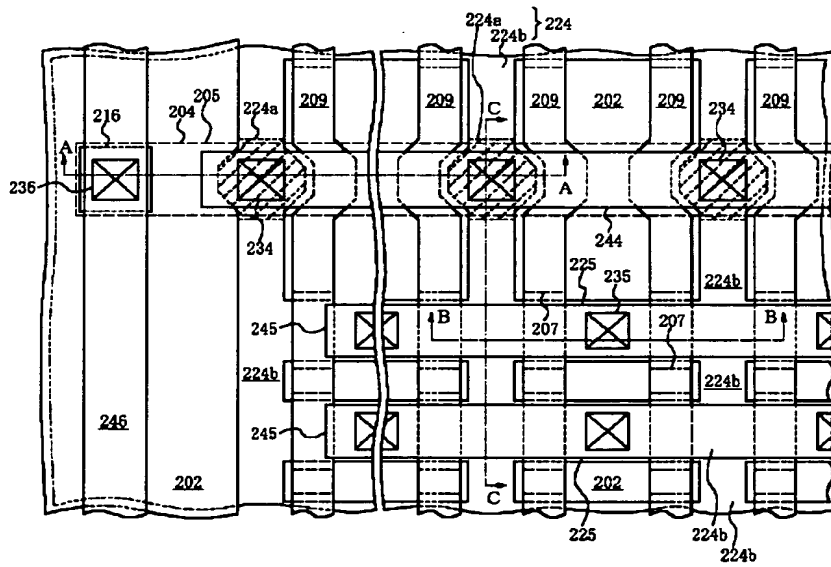
【図12】



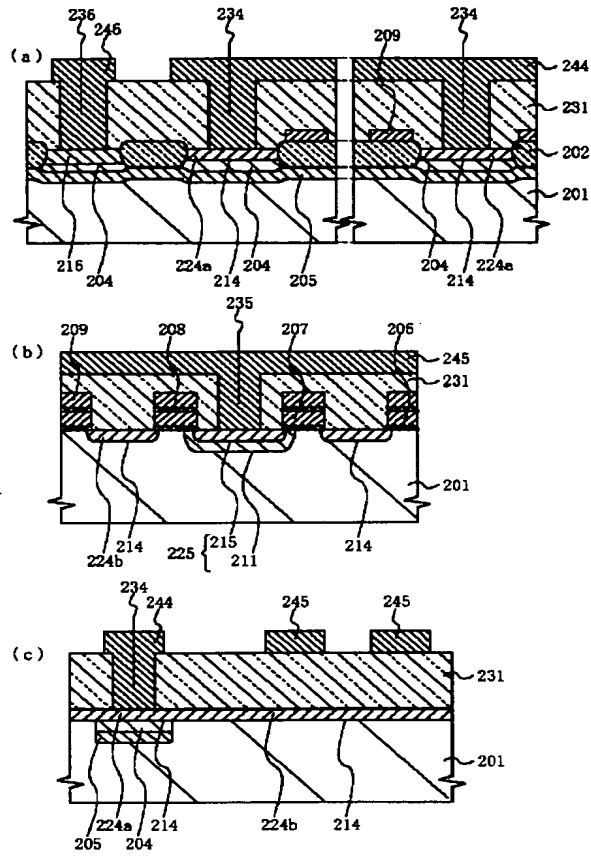
【図13】



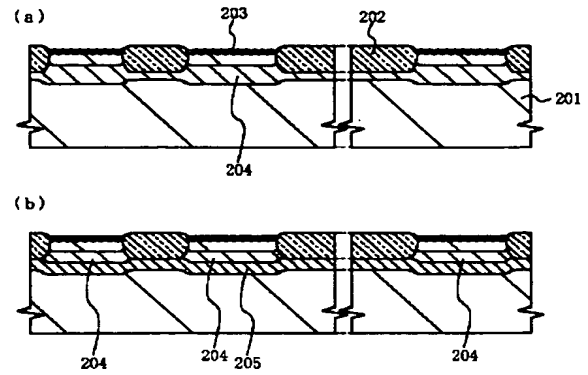
【図14】



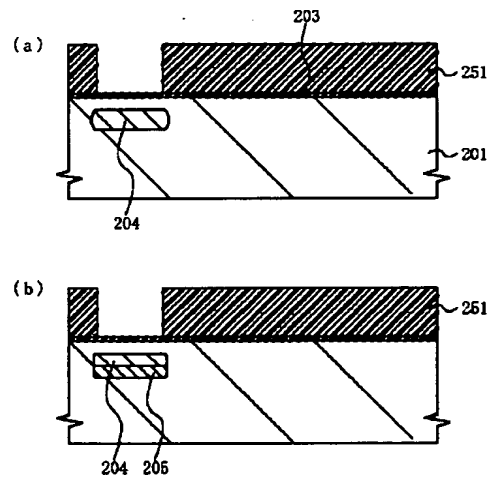
【図 15】



【図 16】



【図 17】



フロントページの続き

F ターム(参考) 5F001 AA23 AA25 AB03 AC05 AC30
AC40 AD17 AD23 AD52 AD62
AE02 AE08 AG07
5F083 EP02 EP23 EP55 EP56 EP61
EP63 EP64 EP68 EP69 EP77
ER04 ER22 GA21 JA04 JA35
JA39 JA53 KA14 PR29